

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-054601

(43)Date of publication of application : 27.02.1996

(51)Int.Cl. G02F 1/133  
G02F 1/133  
G09G 3/36

(21)Application number : 06-189413

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.08.1994

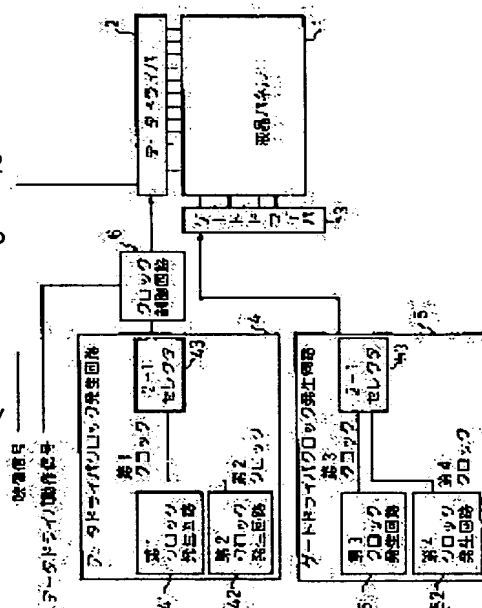
(72)Inventor : KAI TSUTOMU

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To provide a liquid crystal display device capable of displaying even video signals mutually different in the number of pixels.

**CONSTITUTION:** In the active matrix type liquid crystal display device provided with an active matrix liquid crystal display panel 1, a data driver 2 driving the data lines of the liquid crystal display panel 1 and a gate driver 3 driving the scan lines of the liquid crystal display panel 1, when the video signal of the number of pixels different from the number of pixels of the liquid crystal display panel 1 in the horizontal or vertical direction is inputted, and a part where no video is displayed occurs on the display surface of the liquid crystal display panel 1, a prescribed voltage is supplied to the pixel in the part where no video of the liquid crystal display panel 1 is displayed in the non-video signal period of the video signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The data driver which drives the data line of an active matrix liquid crystal panel (1) and this liquid crystal panel (2), In an active matrix liquid crystal display equipped with the gate driver (3) which drives the scan line of said liquid crystal panel The video signal of the level or the different number of pixels from the vertical number of pixels of said liquid crystal panel (1) is inputted. The active matrix liquid crystal display characterized by supplying a predetermined electrical potential difference to the pixel of the part as which the image of said liquid crystal panel is not displayed at the non-video-signal period of said video signal when the part as which an image is not displayed on the screen of said liquid crystal panel arises.

[Claim 2] Said data driver (2) is an active matrix liquid crystal display according to claim 1 which is equipped with the shift register shifted according to the dot clock signal of said video signal, and is characterized by supplying the clock signal of a frequency higher than said dot clock signal to the shift register of said data driver at the non-driving period of said horizontal scanning period when the number of dot clocks of the horizontal scanning period of said video signal is smaller than the horizontal number of pixels of said liquid crystal panel.

[Claim 3] Said gate driver (3) is an active matrix liquid crystal display according to claim 1 or 2 which is equipped with the shift register shifted according to the Horizontal Synchronizing signal of said video signal, and is characterized by supplying the scan signal of a frequency higher than said Horizontal Synchronizing signal to the shift register of said gate driver at the vertical-retrace-line period of said video signal when the number of Horizontal Synchronizing signals within the vertical-scanning period of said video signal is smaller than the number of pixels of the perpendicular direction of said liquid crystal panel (1).

[Claim 4] It is the active matrix liquid crystal display according to claim 3 characterized by said data driver (2) outputting the data until it incorporates data of one line and then the indicative data of a video signal is inputted at the time of initiation of said vertical-retrace-line period.

[Claim 5] The active matrix liquid crystal display according to claim 1 which makes a part for the display of an image the center of abbreviation of said liquid crystal panel, and is characterized by preparing the part as which an image is not displayed in both sides when the number of dot clocks of the horizontal scanning period of said video signal is smaller than the horizontal number of pixels of said liquid crystal panel.

[Claim 6] The active matrix liquid crystal display according to claim 2 which makes a part for the display of an image the center of abbreviation of said liquid crystal panel, and is characterized by preparing the part as which an image is not displayed in both sides when the number of dot clocks of the horizontal scanning period of said video signal is smaller than the horizontal number of pixels of said liquid crystal panel.

[Claim 7] The active matrix liquid crystal display according to claim 6 characterized by inputting a shift pulse into the shift register of said data driver further at the time of initiation of the non-driving period of said horizontal scanning period, and shifting two pulses in parallel.

[Claim 8] The active matrix liquid crystal display according to claim 1 which makes a part for the display

of an image the center of abbreviation of said liquid crystal panel, and is characterized by preparing the part as which an image is not displayed up and down when the number of Horizontal Synchronizing signals within the vertical-scanning period of said video signal is smaller than the number of pixels of the perpendicular direction of said liquid crystal panel.

[Claim 9] An active matrix liquid crystal display given in claim 3 which makes a part for the display of an image the center of abbreviation of said liquid crystal panel, and is characterized by preparing the part as which an image is not displayed up and down when the number of Horizontal Synchronizing signals within the vertical-scanning period of said video signal is smaller than the number of pixels of the perpendicular direction of said liquid crystal panel thru/or any 1 term of 5.

[Claim 10] The active matrix liquid crystal display according to claim 8 characterized by supplying an electrical potential difference to the pixel of the part as which a shift pulse is further inputted into the shift register of said gate driver at the time of initiation of said vertical-retrace-line period, two pulses are shifted in parallel, and the image of vertical both sides is not displayed simultaneously.

[Claim 11] said data driver -- the vertical both sides of said liquid crystal panel -- respectively -- preparing -- an active matrix liquid crystal display given in claim 1 characterized by having prolonged said data line by turns from the data driver of both sides thru/or any 1 term of 10.

[Claim 12] It is an active matrix liquid crystal display given in claim 1 which said gate driver is formed in the both sides of said liquid crystal panel, respectively, and is characterized by having prolonged said scan line by turns from the gate driver of both sides thru/or any 1 term of 11.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the liquid crystal display which displays one data of a video signal to 1 pixel of a liquid crystal panel, and drives all liquid crystal pixels, when displaying an indicative data smaller than the screen of the liquid crystal panel which can be displayed about an active matrix liquid crystal.

[0002]

[Description of the Prior Art] Drawing 11 is drawing showing the basic configuration of an active matrix liquid crystal indicating equipment, drawing 12 is drawing showing the example of a configuration of an active matrix liquid crystal panel, drawing 13 R> 3 is the block diagram showing the configuration of a data driver, and drawing 14 14 is a block diagram showing the configuration of a gate driver.

[0003] An active matrix liquid crystal indicating equipment has the active matrix liquid crystal panel 1, the data driver 2, and a gate driver 3. As shown in drawing 12 , it is arranged and the active matrix liquid crystal panel 1 has the thin film transistor TFT11 by which the corresponding gate was connected to

the scan line,  $--$ , TFT<sub>xy</sub> so that the liquid crystal cells C11,  $--$ , C<sub>xy</sub> arranged in the shape of a matrix, the data line prolonged from the data driver 2, the scan line prolonged from a gate driver 3, and each liquid crystal cell and a corresponding data line may be connected. Sequential impression of the scan pulse is carried out at a scan line, and the thin film transistor of each line is turned on one by one according to this scan pulse. From the data driver 2, the electrical potential difference corresponding to an indicative data is outputted to a data line according to the thin film transistor of each line being turned on. Therefore, according to a scan pulse, the electrical potential difference corresponding to an indicative data is impressed to the liquid crystal cell of the line. Since the thin film transistor of the line is still an OFF state until the thin film transistor of the line is turned off, a scan pulse is impressed to all lines and a scan pulse is impressed again when a scan pulse is impressed to the following line, the electrical potential difference impressed to liquid crystal is maintained to that time. Thus, if the electrical potential difference corresponding to an indicative data is impressed to the liquid crystal of all lines, the display of one screen will be completed. The display cycle of this one screen is usually called a frame. Moreover, a 1 vertical display period may be called from the semantics of displaying all vertical lines.

[0004] The video signal of that CRT (Cathode Ray Tube) is supplied and resemblance is supplied to an active matrix liquid crystal display. When such a video signal is supplied, in order to enable the above displays, the data driver 2 has the shift register 21, the level shifter 22, sample – and the – hold circuit 23, and the output buffer 24, as shown in drawing 13 . While clock signal GCLK corresponding to 1 display dot is inputted into a shift register 21, Horizontal Synchronizing signal HSYNC is inputted and the level pulse generated corresponding to a Horizontal Synchronizing signal carries out a sequential shift according to clock signal GCLK. A video signal is supplied to the data driver 2, and the level pulse which carries out a sequential shift is latched to sample – and the – hold circuit 23. Thus, the data for 1 level line are held in sample – and the – hold circuit 23. The data for this 1 level line are incorporated by the output buffer 24, and a corresponding electrical potential difference is outputted to coincidence several 1 level display pixel minutes at a data line.

[0005] A gate driver 3 has a shift register 31, a level shifter 32, and an output buffer 33, as shown in drawing 14 . Vertical Synchronizing signal VSYNC and Horizontal Synchronizing signal HSYNC are inputted into a shift register 31, and the scan pulse generated according to a Vertical Synchronizing signal carries out a sequential shift according to a Horizontal Synchronizing signal. The scan pulse which a shift register 31 outputs and which carries out a sequential shift is inputted into an output buffer 33 through a level shifter 32. From an output buffer 33, the scan pulse which carries out a sequential shift is outputted to a scan line according to the output enable signal OE.

[0006] Although CRT is widely used as displays, such as current and a computer, the activity of an active matrix liquid crystal display is increasing as a display [ that it is small and low power ]. Although the display of 640x400 dots of current standard video signals is performed, the display of a high definition is demanded more and CRT and the active matrix liquid crystal display which can display a high definition are developed. The number of display pixels standard as a display for high definitions now does not become settled, but two or more kinds of displays with which the numbers of display pixels differ are developed. Usually, since a display is chosen corresponding to a computer, the number of pixels of a video signal and the number of pixels of a display which a computer outputs support 1 to 1. However, even if it changes a computer, it is requested that a display can be used general-purpose in common, and as for a display, it is desirable that all the modes of a video signal can be displayed.

[0007] It can respond easily by the ratio of the number of display pixels of length and width thinning out a video signal in an integral multiple, when the number of pixels of a video signal is large to a case, or displaying the data same when the number of display pixels is large as two or more pixels, or displaying the average of two or more pixels. However, when the ratio of the number of display pixels of length and width is not an integral multiple, it cannot express as such technique.

[0008] When the number of pixels of a video signal is large, only some pixels of a video signal are

displayed there. In this case, the same is said of CRT and a liquid crystal display. Therefore, a display can be performed although a part of image will be displayed in this case. On the other hand, when the number of pixels of a video signal is smaller than the number of pixels of a display, if it is CRT, a display can be performed by supplying a video signal as it is. In CRT, since a black indication of the part to which a video signal is not supplied will be given, the part except a video signal being displayed becomes black. Thus, as for the part as which the image of a screen is not displayed, being indicated by black is desirable from the point of the conspicuousness of a display. However, in the case of the display mode which could white-display instead of the black display and reversed especially black and white, the white display is more desirable. Moreover, you may make it display a middle gray level.

[0009]

[Problem(s) to be Solved by the Invention] However, it was difficult a black display or to white-display in the part as which the image of a screen is not displayed with a liquid crystal display, and a certain means was required. In a liquid crystal panel, in order to avoid degradation by sticking of liquid crystal, it is required for every [ of one screen ] display cycle (frame cycle) to impress the electrical potential difference of positive/negative reversed polarity by turns, and also when performing a black display or a white display, it is necessary to impress the electrical potential difference of the positive/negative reversed polarity of the level corresponding to a black display or a white display by turns. Although a black display is hereafter explained as an example in order to give explanation easy, the same is said of the case where a white display and a gray level are displayed. The number of pixels of a horizontal direction and a perpendicular direction is determined on the structure of a liquid crystal display at the time of manufacture, and the shift number of stages of the shift registers 21 and 31 explained by drawing 13 and drawing 14  $R > 4$  is also decided. Therefore, the electrical potential difference of positive/negative reversed polarity cannot be impressed to the part which performs a black display by turns only by inputting a video signal. Therefore, when the number of pixels of a video signal is smaller than the number of pixels of a liquid crystal display, in order to perform a black display into the part except an image being displayed, it is necessary to enable it to impress the electrical potential difference of reversed polarity for the image of a liquid crystal display panel to perform a black display for not displaying at the pixel of a part by turns.

[0010] When the number of pixels of a video signal is smaller than the number of pixels of a liquid crystal display, many things are considered about on which location on the screen of a liquid crystal display an image is displayed. For example, it is the case where the location at the upper left of an image and the display screen is made in agreement. Otherwise, as shown in drawing 15 , it is the case where an image part is arranged in the center of the display screen. Since this gentleman is considered to be the most legible from the point of a viewing angle, in the following explanation, it explains as displaying an image on a location like drawing 15 .

[0011] make it any -- in order to enable the display of a liquid crystal display also about the video signal with which the numbers of pixels differ, when the number of pixels of a video signal is smaller than the number of pixels of a liquid crystal display, it is required also for the part as which the image of a screen is not displayed to display the data of predetermined level, and this invention aims at implementation of the active matrix liquid crystal display in which such a thing is possible.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned object, the active matrix liquid crystal display of this invention In an active matrix liquid crystal display equipped with an active matrix liquid crystal panel, the data driver which drives the data line of a liquid crystal panel, and the gate driver which drives the scan line of a liquid crystal panel It is characterized by supplying the level or electrical potential difference of a liquid crystal panel predetermined in the pixel of the part as which the image of a liquid crystal panel is not displayed when the part as which the video signal of the different number of pixels from the vertical number of pixels is inputted, and an image is not displayed on the screen of a liquid crystal panel arises to the non-video-signal period of a video signal.

[0013] furthermore, the 2nd voice of this invention -- in an active matrix liquid crystal indicating equipment [ like ], a data driver is equipped with the shift register shifted according to the dot clock signal of a video signal, and when the number of dot clocks of the horizontal scanning period of a video signal is smaller than the horizontal number of pixels of a liquid crystal panel, it is characterized by supplying the clock signal of a frequency higher than a dot clock signal to the shift register of a data driver at the non-driving period of a horizontal scanning period.

[0014] furthermore, the 3rd voice of this invention -- in an active matrix liquid crystal indicating equipment [ like ], a gate driver is equipped with the shift register shifted according to the Horizontal Synchronizing signal of a video signal, and when the number of Horizontal Synchronizing signals within the vertical-scanning period of a video signal is smaller than the number of pixels of the perpendicular direction of a liquid crystal panel, it is characterized by supplying the scan signal of a frequency higher than a Horizontal Synchronizing signal to the shift register of a gate driver at the vertical-retrace-line period of a video signal.

[0015]

[Function] Drawing 1 is drawing explaining the principle of this invention. As shown in drawing 1 , in the active matrix liquid crystal display of this invention The video signal of the level or the different number of pixels from the vertical number of pixels of a liquid crystal panel is inputted. When the part as which an image is not displayed on the screen of a liquid crystal panel arises, supply of an electrical potential difference required for the part as which the image of a liquid crystal panel is not displayed in order to perform a black display or a white display, and the display suitable for the non-image part of further others is performed using the non-video-signal period of a video signal. Thereby, the display suitable for a non-image part can be performed now also into the part as which an image is not displayed, and the active matrix liquid crystal display which can be used for the video signal in various kinds of modes general-purpose is realized.

[0016] When there are many pixels which have the need of supplying an electrical potential difference in a non-video-signal period, since an electrical potential difference cannot be supplied to all the pixels required for a non-video-signal period, working speed is raised by having driven with the usual working speed. As shown in (1) of drawing 1 , when the number of dot clocks of the horizontal scanning period of a video signal is smaller than the horizontal number of pixels of a liquid crystal panel, specifically, the clock signal supplied to the shift register of a data driver at the non-driving period of a horizontal scanning period is made into the signal of a frequency higher than a dot clock signal. Moreover, when the number of Horizontal Synchronizing signals within the vertical-scanning period of a video signal is smaller than the number of pixels of the perpendicular direction of a liquid crystal panel, as shown in (2) of drawing 1 , the scan signal supplied to the shift register of a gate driver at the vertical-retrace-line period of a video signal is made into the signal of a frequency higher than a Horizontal Synchronizing signal.

[0017]

[Example] Drawing 2 is the block diagram showing the configuration of the 1st example of this invention. In addition, in drawing, the same reference number is attached and expressed with the same functional division also including drawing explained until now, and suppose that a part of explanation is omitted. It is the liquid crystal panel with which a reference number 1 has the pixel of y to x and a perpendicular direction horizontally in drawing 2 . 2 is a data driver which drives the data line of a liquid crystal panel 1. 3 is a data driver which impresses a scan pulse to the scan line of a liquid crystal panel 1. 4 is a data driver clock generation circuit which generates the clock signal supplied to the data driver 2. 5 is a gate driver clock generation circuit which generates the scan clock signal supplied to a gate driver 3, and 6 is a clock control circuit which controls making it not change the output of the data driver 2 etc. The data driver 2 and a gate driver 3 have the configuration same with having been shown in drawing 13 and drawing 14 . The data driver clock generation circuit 4 has the 1st clock generation circuit 41 which generates the 1st clock signal used as a shift clock signal of image data, the 2nd clock generation circuit

42 which generates the 2nd clock signal of a frequency higher than the 1st clock signal, and 2-1 selector 43 which chooses and outputs the 1st clock signal or the 2nd clock signal according to the 1st switch signal. The gate driver clock generation circuit 5 has the 3rd clock generation circuit 51 which generates the 3rd clock signal equivalent to a horizontal scanning signal, the 4th clock generation circuit 52 which generates the 4th clock signal of a frequency higher than the 3rd clock signal, and 2-1 selector 53 which chooses and outputs the 3rd clock signal or the 4th clock signal according to the 2nd switch signal.

[0018] Drawing 3 is drawing having shown more the data driver clock generation circuit 4 shown in drawing 2, the gate driver clock generation circuit 5, and the clock control circuit in the detail, drawing 4 R> 4 is drawing showing the horizontal timing of the 1st example of operation, drawing 5 is drawing showing the timing of the perpendicular direction of the 1st example of operation, and drawing 6 is drawing showing the timing of the clock control circuit 5 of operation.

[0019] The PLL circuits 49 are the integral multiple of the Horizontal Synchronizing signal of a video signal / HS to a dot clock signal, and a circuit which specifically generates the signal of a twice as many frequency as this, and since the clock signal of the high speed outputted from the PLL circuit 49 is used as the 2nd clock signal, it can be said that the PLL circuit 49 is equivalent to the 2nd clock generation circuit 42. It is the circuit which a frequency divider 44 carries out dividing of the clock signal of the high speed which the PLL circuit 49 outputs, specifically carries out 1 / 2 dividing, and generates the clock signal of the same frequency as a dot clock signal, and since the clock signal which this circuit outputs turns into the 1st clock signal, it can be said that a frequency divider 44 is equivalent to the 1st clock generation circuit 41. A counter 45, the 1st and 2nd decoders 46 and 47, and JK flip-flop (FF) 48 are parts which generate the 1st switch signal. A counter 45 counts the 2nd clock signal which the PLL circuit 49 outputs, and if the 1st decoder 46 detects having become equal to the period when the counted value outputs the indicative data of a video signal, it will switch so that JK-FF48 may output the 2nd clock signal with which the PLL circuit 49 outputs 2-1 selector 43. A counter 45 is reset and the 2nd clock signal is counted similarly, and if the 2nd decoder 47 detects that the counted value was in agreement at the non-video-signal period, it will switch so that JK-FF48 may output the 1st clock signal with which a frequency divider 44 outputs 2-1 selector 43. Therefore, as the 1st switch signal is shown in drawing 4, the period to "high [ high (H) ]" when the output period of the status signal of a video signal is other becomes "low [ low (L) ]." The 1st clock signal is supplied for the 1st switch signal to the data driver 2 at the period of "H", and the same actuation as the usual graphic display is performed. The 2nd clock signal is supplied for the 1st switch signal to the data driver 2 at the period of "L", and a shift pulse is shifted to a high speed from usual. If the 1st switch signal performs the electrical potential difference for being impressed by the pixel of a non-image part, i.e., a black display, to the data driver 2 at the period of "L", the electrical potential difference of the positive/negative reversed polarity corresponding to a black display will be supplied by turns.

[0020] Perpendicularly, a Horizontal Synchronizing signal/HS is used as it is as the 3rd clock signal. The double periphery circuit 54 is a circuit which generates the 4th clock signal of the frequency of an integral multiple from a Horizontal Synchronizing signal/HS, and it can be said that the double periphery circuit 54 is equivalent to the 4th clock generation circuit 52. A counter 55, the 3rd and 4th decoders 56 and 57, and JK flip-flop (FF) 58 are parts which generate the 1st switch signal. A counter 55 counts a Horizontal Synchronizing signal/HS, and if the 3rd decoder 56 detects that the counted value became equal to the value of the line of the perpendicular direction of a video signal, it will switch so that JK-FF58 may output the 4th clock signal with which the double periphery circuit 54 outputs 2-1 selector 53. A counter 55 is reset, a Horizontal Synchronizing signal/HS is counted similarly, and if the 4th decoder 57 detects that the counted value was in agreement at the vertical-retrace-line period, JK-FF58 will switch 2-1 selector 53 so that a Horizontal Synchronizing signal/HS may be outputted. Therefore, as the 2nd switch signal is shown in drawing 5, the output period of the status signal of the perpendicular direction of a video signal becomes "high [ high (H) ]", and a vertical-retrace-line period becomes "low

[ low (L) ].” The 3rd clock signal is supplied for the 2nd switch signal to a gate driver 3 at the period of “H”, and the same actuation as the usual graphic display is performed. The 4th clock signal is supplied for the 2nd switch signal to a gate driver 2 at the period of “L”, and a shift pulse is shifted to a high speed from usual. The status signal part of the video signal shown in drawing 5 is the signal with which the video signal as shown in drawing 4 continued actually.

[0021] If the frequency of the 4th clock signal which drives the shift register of a gate driver 3 is raised to a vertical-retrace-line period, it is necessary to also make working speed of the data driver 2 high according to it. However, then, the data driver 2 becomes large and the problem of also increasing cost arises. A clock control circuit is a circuit for solving such a problem.

[0022] The data which the 2nd switch signal outputs to the period of “L” from the data driver 2 are good by the fixed data corresponding to a black display etc. Therefore, it is not necessary to newly hold data until the period whose 2nd switch signal is “L” will expire, if the data displayed on one line of the data driver 2 are held after the 2nd switch signal “L” Becomes. Therefore, it becomes unnecessary and the shift of the clock signal in the data driver 2 can be accelerated.

[0023] The clock control circuit 6 has a counter 61, the 5th and 6th decoders 62 and 63, and JK flip-flop (FF) 64. A counter 61 counts a Horizontal Synchronizing signal / HS \*\*, and if the 5th decoder 62 detects that the counted value became large from the value of the line of the perpendicular direction of a video signal only in 1, JK-FF64 will switch 2-1 selector 64 so that the signal of “L” may be outputted. A counter 61 is reset and a Horizontal Synchronizing signal/HS is counted similarly, and if the 6th decoder 63 detects that only the counted value’s 1 corresponded with the small value from the vertical-retrace-line period, it will switch so that JK-FF64 may output the clock signal with which the data driver clock generation circuit 4 outputs 2-1 selector 64.

[0024] Therefore, as the signal which the clock control circuit 6 outputs is shown in drawing 6 , the period “low [ low (L) ]” when only 1 horizontal-scanning period is shorter than a vertical-retrace-line period comes, and supply of the clock signal to the data driver 2 is suspended in the meantime. If the output of the last line of a video signal is completed and the 2nd switch signal switches to “L”, the data displayed on non-image parts, such as a black display, will be supplied, and this data will be held at one line of a data driver. If the data of a non-image part are held at one line of a data driver, since supply of the clock signal to a data driver will be suspended, the held data remain as it is until a vertical-retrace-line period expires. This may be made into the 2nd clock signal although drawing 6 has shown that the clock signal inputted into a data driver at this period is usually inputted into the 1st clock signal like the time of a display.

[0025] Although data are written in the pixel of the part which performs a black display at the period when image data are not inputted, by having used the same clock signal as a display period, it is difficult to write data in all the pixels of the part which performs a black display usually not much long [ the period when image data are not inputted ]. However, it becomes possible to write data in all the pixels of the part which performs a black display by making a clock signal into a high speed like this example at the period when image data are not inputted.

[0026] What is necessary is to use the above-mentioned configuration only for one side in the 1st example, when the part as which a video signal is not displayed only about the one direction of a liquid crystal display screen arises although both the data driver clock generation circuit 4 and the gate driver clock generation circuit 5 were used. Moreover, in order to reduce the shift action of the indicative data in a vertical-retrace-line period, the clock control circuit 6 is used and data were written in by 1 level line, but when there are allowances of time amount, it is not necessary to use the clock control circuit 6.

[0027] Drawing 7 is drawing showing the configuration of the liquid crystal panel of the 2nd example. As compared with drawing 12 , with the liquid crystal panel of the 2nd example, a data driver and a gate driver are formed in the both sides of a panel, and the point the data line and the scan line are made to be prolonged by turns from the driver of both sides, respectively differs from the thing of drawing 12 so that clearly. Such a configuration is called a tandem-type configuration.



[0028] Drawing 8 is drawing showing the configuration of the liquid crystal display of the 2nd example. As compared with drawing 2 , as for the liquid crystal display of the 1st example, it differs in that data driver 2a, 2b, gate drivers 3a and 3b, and video-signal vertical 2 dividing network 8 are established in the both sides of a liquid crystal panel 1 so that clearly. Also in the 2nd example, it carries out as [ write / by making the frequency of the clock signal inputted into a driver at the blanking period of a video signal increase like the 1st example / in a non-graphic display part / data ].

[0029] Although it enabled it to write data also in a non-graphic display part in the 1st example by making the frequency of the clock signal inputted into a driver increase to the blanking period of a video signal, it is difficult for the frequency of the clock signal inputted into a driver to have a limit from the relation of the actuation rate of a driver, and to make the blanking period of a video signal scan not much many data drivers and gate drivers. Then, a data driver can be divided into two and working speed in a data driver can be made into one half by making into one half the number of lines with the need of driving by each driver. If it is drawing 7 , the indicative data of upper data driver 2a to an odd number train will be supplied for the indicative data of an even number train from lower data driver 2b. And data driver 2b of upper data driver 2a and the bottom operates to juxtaposition.

[0030] Also about a gate driver, as shown in the timing chart of drawing 9 , the gate drivers 3a and 3b on either side can be operated to juxtaposition, and clock frequency can be lowered to one half by considering as enabling alternately with right and left so that two gate drivers may not be turned on simultaneously. Of course, only one side of a data driver and a gate driver may be divided.

[0031] Moreover, prepare a clock control circuit, the data of a non-image part are made to hold to the beginning of a vertical-retrace-line period like the 1st example at a data driver, and you may make it maintain the condition. Usually, in the shift register of a data driver and a gate driver, the sequential shift of the one shift pulse is carried out. Therefore, as the 1st and 2nd examples were shown in drawing 1515 , even when [ of a display screen ] arranging in the center mostly, with the shift register of a data driver and a gate driver, the sequential shift of the one shift pulse is carried out in an image part. Therefore, if it is a gate driver, a shift pulse is inputted into a gate driver from the abbreviation medium event of a blanking period, and by the time a blanking period expires with a high-speed scan clock signal, a shift pulse will be shifted to the starting position of the image part of a screen. And an image part inputs the usual scan pulse and a shift pulse is shifted to the termination location of the image part of a screen. And it is made for a shift pulse to arrive at the edge of the screen bottom by the abbreviation medium event of a blanking period with a high-speed scan clock signal again.

[0032] In the 3rd example, the shift rate of the shift pulse in a blanking period is reduced in one half. Drawing 10 R> 0 is drawing explaining the shift pulse of the gate driver in the 3rd example. As shown in drawing 10 , when a shift pulse is shifted to the termination location of the image part of a screen, in the 3rd example, a shift pulse is newly inputted. By this, the part as which the image of an upside and the bottom is not displayed will be scanned in parallel to the same time amount. When the newly inputted shift pulse is shifted to the starting position of the image part of a screen, the shift pulse inputted previously escapes from a shift register as it is, and stops influencing a display, since it arrives at the edge of the screen bottom. It is only the part of the one half of the part upside as which an image is not displayed, or the bottom which is scanned by doing in this way at a blanking period, and the shift rate of a shift pulse is good in one half. This technique is applicable also like a data driver.

[0033] Since the shift rate of a shift pulse is made in half by making it a configuration like the 3rd example, it becomes unnecessary to usually make remarkably quick working speed of a data driver and a gate driver compared with the time of an activity. Therefore, time amount which can use the driver of the part low speed, and writes data in liquid crystal can be lengthened.

[0034]

[Effect of the Invention] As explained above, according to this invention, it becomes possible to display a video signal with the number of display dots smaller than the display pixel of liquid crystal, it becomes

possible to correspond to each display mode with 1 liquid crystal panel, and it becomes possible to use a liquid crystal display more nearly general-purpose.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the principle of this invention.

[Drawing 2] It is the block diagram showing the whole 1st example configuration.

[Drawing 3] It is drawing showing the detail of the clock generation circuit of the 1st example.

[Drawing 4] It is drawing showing the horizontal timing of the 1st example of operation.

[Drawing 5] It is drawing showing the timing of the perpendicular direction of the 1st example of operation.

[Drawing 6] It is drawing showing the timing of the clock control circuit of the 1st example of operation.

[Drawing 7] It is drawing showing the configuration of the liquid crystal panel of the 2nd example.

[Drawing 8] It is the block diagram showing the whole 2nd example configuration.

[Drawing 9] It is drawing showing actuation of the gate driver of the 2nd example.

[Drawing 10] It is drawing showing the shift pulse of the 3rd example.

[Drawing 11] It is drawing showing the basic configuration of a TFT mold liquid crystal display.

[Drawing 12] It is drawing showing the example of a configuration of the conventional liquid crystal panel.

[Drawing 13] It is drawing showing the example of a configuration of the conventional data driver.

[Drawing 14] It is drawing showing the example of a configuration of the conventional gate driver.

[Drawing 15] It is drawing showing the example which displays a video signal on some screens.

[Description of Notations]

1 -- Liquid crystal panel

2 -- Data driver

3 -- Gate driver

4 -- data -- dry -- a tapir -- a RO@KKU generating circuit

5 -- gates -- dry -- a tapir -- a RO@KKU generating circuit

6 -- KU@KKU control circuit

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-54601

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/36	5 7 5			

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願平6-189413

(22) 出願日 平成6年(1994)8月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 甲斐 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

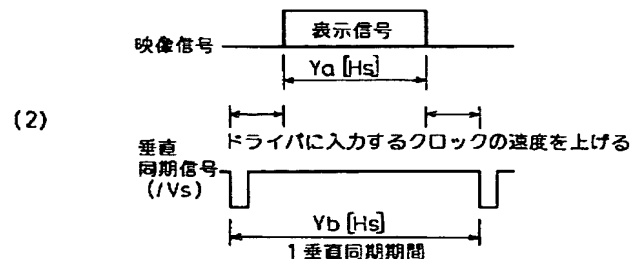
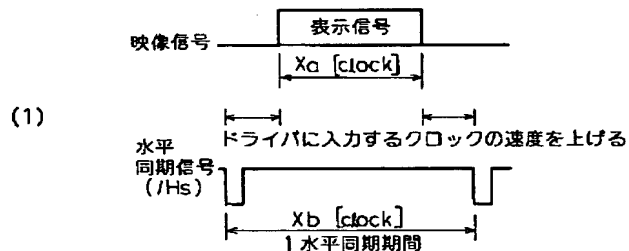
#### (54) 【発明の名称】 アクティブマトリクス型液晶表示装置

#### (57) 【要約】

【目的】 本発明は、画素数の異なる映像信号についても表示可能な液晶表示装置の実現を目的とする。

【構成】 アクティブマトリクス型液晶表示パネル1と、液晶表示パネルのデータラインを駆動するデータドライバ2と、液晶表示パネルのスキャンラインを駆動するゲートドライバ3とを備えるアクティブマトリクス型液晶表示装置において、液晶表示パネル1の水平又は垂直方向の画素数と異なる画素数の映像信号が入力され、液晶表示パネルの表示面に映像の表示されない部分が生じる時に、液晶表示パネルの映像の表示されない部分の画素には、映像信号の非映像信号期間に所定の電圧が供給される。

本発明の原理説明図



(2)

## 【特許請求の範囲】

【請求項 1】 アクティブマトリクス型液晶パネル

(1) と、

該液晶パネルのデータラインを駆動するデータドライバ

(2) と、

前記液晶パネルのスクアンラインを駆動するゲートドライバ (3) とを備えるアクティブマトリクス型液晶表示装置において、

前記液晶パネル (1) の水平又は垂直方向の画素数と異なる画素数の映像信号が入力され、前記液晶パネルの表示面に映像の表示されない部分が生じる時に、前記液晶パネルの映像の表示されない部分の画素には、前記映像信号の非映像信号期間に所定の電圧が供給されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記データドライバ (2) は、前記映像信号のドットクロック信号に応じてシフトするシフトレジスタを備え、

前記映像信号の水平走査期間のドットクロック数が前記液晶パネルの水平方向の画素数より小さい場合に、前記水平走査期間の非駆動期間に、前記データドライバのシフトレジスタに前記ドットクロック信号より高い周波数のクロック信号を供給することを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記ゲートドライバ (3) は、前記映像信号の水平同期信号に応じてシフトするシフトレジスタを備え、

前記映像信号の垂直走査期間内の水平同期信号数が前記液晶パネル (1) の垂直方向の画素数より小さい場合に、前記映像信号の垂直帰線期間に、前記ゲートドライバのシフトレジスタに前記水平同期信号より高い周波数の走査信号を供給することを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記垂直帰線期間の開始時に、前記データドライバ (2) は 1 ラインのデータを取り込み、次に映像信号の表示データが入力されるまで、そのデータを出力することを特徴とする請求項 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記映像信号の水平走査期間のドットクロック数が前記液晶パネルの水平方向の画素数より小さい場合に、映像の表示部分を前記液晶パネルの略中央とし、映像の表示されない部分を両側に設けたことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 前記映像信号の水平走査期間のドットクロック数が前記液晶パネルの水平方向の画素数より小さい場合に、映像の表示部分を前記液晶パネルの略中央とし、映像の表示されない部分を両側に設けたことを特徴とする請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 7】 前記データドライバのシフトレジスタに

2

は、前記水平走査期間の非駆動期間の開始時に更にシフトパルスが入力され、並行して 2 つのパルスがシフトされることを特徴とする請求項 6 に記載のアクティブマトリクス型液晶表示装置。

【請求項 8】 前記映像信号の垂直走査期間内の水平同期信号数が前記液晶パネルの垂直方向の画素数より小さい場合に、映像の表示部分を前記液晶パネルの略中央とし、映像の表示されない部分を上下に設けたことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 9】 前記映像信号の垂直走査期間内の水平同期信号数が前記液晶パネルの垂直方向の画素数より小さい場合に、映像の表示部分を前記液晶パネルの略中央とし、映像の表示されない部分を上下に設けたことを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載のアクティブマトリクス型液晶表示装置。

【請求項 10】 前記ゲートドライバのシフトレジスタには、前記垂直帰線期間の開始時に更にシフトパルスが入力され、並行して 2 つのパルスがシフトされ、上下両側の映像の表示されない部分の画素に同時に電圧が供給されることを特徴とする請求項 8 に記載のアクティブマトリクス型液晶表示装置。

【請求項 11】 前記データドライバは、前記液晶パネルの上下両側にそれぞれ設けられ、前記データラインは両側のデータドライバから交互に延びていることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載のアクティブマトリクス型液晶表示装置。

【請求項 12】 前記ゲートドライバは、前記液晶パネルの両側にそれぞれ設けられ、前記スクアンラインは両側のゲートドライバから交互に延びていることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリクス型液晶に関し、特に表示できる液晶パネルの画面より小さい表示データを表示する場合に、液晶パネルの 1 画素に対して映像信号の 1 データを表示し、且つ全液晶画素を駆動する液晶表示装置に関する。

【0002】

【従来の技術】図 11 はアクティブマトリクス型液晶表示装置の基本構成を示す図であり、図 12 はアクティブマトリクス型液晶パネルの構成例を示す図であり、図 13 はデータドライバの構成を示すブロック図であり、図 14 はゲートドライバの構成を示すブロック図である。

【0003】アクティブマトリクス型液晶表示装置は、アクティブマトリクス型液晶パネル 1 と、データドライバ 2 と、ゲートドライバ 3 を有する。アクティブマトリクス型液晶パネル 1 は、図 12 に示すように、マトリクス状に配置された液晶セル C11、…、Cxy と、デー

50

(3)

3

タドライバ2から延びるデータラインと、ゲートドライバ3から延びるスキャンラインと、各液晶セルと対応するデータラインを接続するように配置され、対応するゲートがスキャンラインに接続された薄膜トランジスタ $TFT_{11}$ 、…、 $TFT_{xy}$ とを有する。スキャンラインには走査パルスが順次印加され、この走査パルスに応じて各行の薄膜トランジスタが順次オン状態になる。データドライバ2からは、各行の薄膜トランジスタがオン状態になるのに応じて、表示データに対応する電圧がデータラインに出力される。従って、走査パルスに応じて表示データに対応する電圧がその行の液晶セルに印加される。走査パルスが次の行に印加されると、その行の薄膜トランジスタはオフ状態になり、すべての行に走査パルスが印加されて再び走査パルスが印加されるまではその行の薄膜トランジスタはオフ状態のままであるから、液晶に印加された電圧はその時まで維持される。このようにしてすべての行の液晶に表示データに対応した電圧が印加されると1画面の表示が終了する。この1画面の表示サイクルを通常フレームと称する。また、垂直方向のすべての行を表示するという意味から、1垂直表示期間と称する場合もある。

【0004】アクティブマトリクス型液晶表示装置には、CRT (Cathode Ray Tube) に供給されるのと類似の映像信号が供給される。そのような映像信号が供給された場合に、上記のような表示を可能にするため、データドライバ2は、図13に示すように、シフトレジスタ21と、レベルシフタ22と、サンプル・アンド・ホールド回路23と、出力バッファ24とを有している。シフトレジスタ21には、1表示ドットに対応したクロック信号 $GCLK$ が入力されると共に、水平同期信号 $HSYNC$ が入力され、水平同期信号に対応して発生する水平パルスがクロック信号 $GCLK$ に応じて順次シフトする。データドライバ2には映像信号が供給され、順次シフトする水平パルスによってサンプル・アンド・ホールド回路23にラッチされる。このようにしてサンプル・アンド・ホールド回路23には、1水平ライン分のデータが保持される。この1水平ライン分のデータは出力バッファ24に取り込まれ、対応する電圧が1水平表示画素数分同時にデータラインに出力される。

【0005】ゲートドライバ3は、図14に示すように、シフトレジスタ31と、レベルシフタ32と、出力バッファ33とを有する。シフトレジスタ31には垂直同期信号 $VSYNC$ と水平同期信号 $HSYNC$ が入力され、垂直同期信号に応じて発生する走査パルスが水平同期信号に応じて順次シフトする。シフトレジスタ31の出力する順次シフトする走査パルスはレベルシフタ32を介して出力バッファ33に入力される。出力バッファ33からは、出力イネーブル信号 $OE$ に応じてスキャンラインに順次シフトする走査パルスが出力される。

【0006】現在、コンピュータ等の表示装置としては

4

CRTが広く使用されているが、小型で低消費電力な表示装置としてアクティブマトリクス型液晶表示装置の使用が増加している。現在の標準的な映像信号 $640 \times 400$ ドットの表示を行うが、より高精細度の表示が要望されており、高精細度の表示が行えるCRTやアクティブマトリクス型液晶表示装置が開発されている。現在のところ高精細度用表示装置としては標準的な表示画素数が定まっておらず、表示画素数の異なる複数種類の表示装置が開発されている。通常、表示装置はコンピュータ

10 に対応して選択されるため、コンピュータの出力する映像信号の画素数と表示装置の画素数は1対1に対応している。しかし、コンピュータを変えても表示装置は共通に汎用的に使用できることが要望されており、表示装置は映像信号の全モードを表示できることが望ましい。

【0007】縦と横の表示画素数の比が整数倍に場合には、映像信号の画素数が大きい場合には映像信号を間引いたり、表示画素数が大きい場合には複数画素に同じデータを表示したり、複数画素の平均値を表示することにより容易に対応できる。しかし、縦と横の表示画素数の比が整数倍でない時にはこのような手法では表示を行えない。

【0008】そこで、例えば、映像信号の画素数が大きい場合には、映像信号の一部の画素のみを表示する。この場合はCRTも液晶表示装置も同様である。従って、この場合には映像の一部が表示されないことになるが、表示は行える。これに対して、映像信号の画素数が表示装置の画素数より小さい場合には、CRTであればそのまま映像信号を供給することにより、表示は行えるようになっている。CRTでは映像信号の供給されない部分は黒表示されることになるため、映像信号が表示される以外の部分は黒くなる。このように、画面の映像が表示されない部分は黒表示されることが表示の見やすさという点からは望ましい。但し、黒表示の代わりに白表示してもよく、特に白黒を反転した表示モードの場合には、白表示の方が望ましい。また、中間のグレイレベルを表示するようにしてもよい。

【0009】

【発明が解決しようとする課題】しかし、液晶表示装置で画面の映像が表示されない部分を黒表示又は白表示することは難しく、何らかの手段が必要であった。液晶パネルでは液晶の焼きつきによる劣化を避けるために、1画面の表示サイクル（フレームサイクル）毎に正負逆極性の電圧を交互に印加することが必要であり、黒表示又は白表示を行う場合も黒表示又は白表示に対応したレベルの正負逆極性の電圧を交互に印加する必要がある。以下、説明を容易にするために、黒表示を例として説明するが、白表示やグレイレベルを表示する場合についても同様である。液晶表示装置の構造上、水平方向と垂直方向の画素数が製造時に決定されており、図13及び図14で説明したシフトレジスタ21、31のシフト段数も

50

(4)

5

決められている。そのため、映像信号を入力しただけでは、黒表示を行う部分に正負逆極性の電圧を交互に印加することはできない。従って、映像信号の画素数が液晶表示装置の画素数より小さい場合に、映像が表示される以外の部分に黒表示を行うためには、液晶表示パネルの映像が表示されないに部分の画素に、黒表示を行うための逆極性の電圧を交互に印加できるようにする必要がある。

【0010】映像信号の画素数が液晶表示装置の画素数より小さい場合に、映像を液晶表示装置の画面上のどの位置に表示するかについてはいろいろ考えられる。例えば、映像と表示画面の左上の位置を一致させる場合である。他には、例えば、図15に示すように、表示画面の中央に映像部分を配置する場合である。この方が、視角の点からもっとも見やすいと考えられるので、以下の説明においては、図15のような位置に映像を表示することとして説明を行う。

【0011】いずれにしろ、液晶表示装置を画素数の異なる映像信号についても表示可能にするためには、映像信号の画素数が液晶表示装置の画素数より小さい場合に画面の映像が表示されない部分にも所定のレベルのデータを表示することが必要であり、本発明はそのようなことが可能なアクティブマトリクス型液晶表示装置の実現を目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明のアクティブマトリクス型液晶表示装置は、アクティブマトリクス型液晶パネルと、液晶パネルのデータラインを駆動するデータドライバと、液晶パネルのスクリーンラインを駆動するゲートドライバとを備えるアクティブマトリクス型液晶表示装置において、液晶パネルの水平又は垂直方向の画素数と異なる画素数の映像信号が入力され、液晶パネルの表示面に映像の表示されない部分が生じる時に、液晶パネルの映像の表示されない部分の画素には、映像信号の非映像信号期間に所定の電圧が供給されることを特徴とする。

【0013】更に、本発明の第2の態様のアクティブマトリクス型液晶表示装置では、データドライバは映像信号のドットクロック信号に応じてシフトするシフトレジスタを備え、映像信号の水平走査期間のドットクロック数が液晶パネルの水平方向の画素数より小さい場合に、水平走査期間の非駆動期間に、データドライバのシフトレジスタにドットクロック信号より高い周波数のクロック信号を供給することを特徴とする。

【0014】更に、本発明の第3の態様のアクティブマトリクス型液晶表示装置では、ゲートドライバは映像信号の水平同期信号に応じてシフトするシフトレジスタを備え、映像信号の垂直走査期間内の水平同期信号数が液晶パネルの垂直方向の画素数より小さい場合に、映像信号の垂直帰線期間に、ゲートドライバのシフトレジスタ

6

に水平同期信号より高い周波数の走査信号を供給することを特徴とする。

【0015】

【作用】図1は本発明の原理を説明する図である。図1に示すように、本発明のアクティブマトリクス型液晶表示装置では、液晶パネルの水平又は垂直方向の画素数と異なる画素数の映像信号が入力され、液晶パネルの表示面に映像の表示されない部分が生じる時に、液晶パネルの映像の表示されない部分に、黒表示又は白表示、更には他の非映像部分に適した表示を行うために必要な電圧の供給を、映像信号の非映像信号期間を利用して行う。これにより、映像の表示されない部分にも、非映像部分に適した表示が行えるようになり、各種のモードの映像信号に汎用的に使用できるアクティブマトリクス型液晶表示装置が実現される。

【0016】非映像信号期間に電圧を供給する必要のある画素が多い場合には、通常の動作速度で駆動したのでは非映像信号期間に必要な画素のすべてに電圧を供給することはできないため、動作速度を上げる。具体的には、図1の(1)に示すように、映像信号の水平走査期間のドットクロック数が液晶パネルの水平方向の画素数より小さい場合には、水平走査期間の非駆動期間に、データドライバのシフトレジスタに供給するクロック信号をドットクロック信号より高い周波数の信号とする。また、映像信号の垂直走査期間内の水平同期信号数が液晶パネルの垂直方向の画素数より小さい場合には、図1の(2)に示すように、映像信号の垂直帰線期間に、ゲートドライバのシフトレジスタに供給する走査信号を水平同期信号より高い周波数の信号とする。

【0017】

【実施例】図2は本発明の第1実施例の構成を示すブロック図である。なお、図においては、これまで説明した図も含めて、同様の機能部分には同一の参照番号を付して表し、一部の説明を省略することとする。図2において、参照番号1は水平方向にx、垂直方向にyの画素を有する液晶パネルであり、2は液晶パネル1のデータラインを駆動するデータドライバであり、3は液晶パネル1のスクリーンラインに走査パルス印加するデータドライバであり、4はデータドライバ2に供給するクロック信号を発生するデータドライバクロック発生回路であり、5はゲートドライバ3に供給する走査クロック信号を発生するゲートドライバクロック発生回路であり、6はデータドライバ2の出力を変化させないようにする等の制御を行うクロック制御回路である。データドライバ2とゲートドライバ3は、図13及び図14に示したのと同様の構成を有する。データドライバクロック発生回路4は、映像データのシフトクロック信号として使用される第1クロック信号を発生する第1クロック発生回路41と、第1クロック信号より高い周波数の第2クロック信号を発生する第2クロック発生回路42と、第1切

(5)

7

り換え信号に応じて第1クロック信号と第2クロック信号のいずれかを選択して出力する2-1セレクタ43を有している。ゲートドライバクロック発生回路5は、水平走査信号に相当する第3クロック信号を発生する第3クロック発生回路51と、第3クロック信号より高い周波数の第4クロック信号を発生する第4クロック発生回路52と、第2切り換え信号に応じて第3クロック信号と第4クロック信号のいずれかを選択して出力する2-1セレクタ53を有している。

【0018】図3は、図2に示したデータドライバクロック発生回路4、ゲートドライバクロック発生回路5、及びクロック制御回路をより詳細に示した図であり、図4は第1実施例の水平方向の動作タイミングを示す図であり、図5は第1実施例の垂直方向の動作タイミングを示す図であり、図6はクロック制御回路5の動作タイミングを示す図である。

【0019】PLL回路49は映像信号の水平同期信号／HSからドットクロック信号の整数倍、具体的には2倍の周波数の信号を発生する回路であり、PLL回路49から出力される高速のクロック信号が第2クロック信号として使用されるため、PLL回路49が第2クロック発生回路42に相当すると言える。分周回路44はPLL回路49の出力する高速のクロック信号を分周して、具体的には1/2分周してドットクロック信号と同じ周波数のクロック信号を発生する回路であり、この回路の出力するクロック信号が第1クロック信号になるため、分周回路44は第1クロック発生回路41に相当すると言える。カウンタ45、第1及び第2デコーダ46、47、及びJKフリップフロップ（FF）48は第1切り換え信号を生成する部分である。カウンタ45がPLL回路49の出力する第2クロック信号をカウントし、そのカウント値が映像信号の表示データを出力する期間に等しくなったことを第1デコーダ46が検出すると、JK-FF48が2-1セレクタ43をPLL回路49の出力する第2クロック信号を出力するように切り換える。カウンタ45はリセットされ、同様に第2クロック信号をカウントし、そのカウント値が非映像信号期間に一致したことを第2デコーダ47が検出すると、JK-FF48が2-1セレクタ43を分周回路44が出力する第1クロック信号を出力するように切り換える。従って、第1切り換え信号は図4に示すように、映像信号の表示信号の出力期間は「高（H）」に、それ以外の期間は「低（L）」になる。第1切り換え信号が「H」の期間は、データドライバ2に第1クロック信号が供給され、通常の映像表示と同様の動作が行われる。第1切り換え信号が「L」の期間は、データドライバ2に第2クロック信号が供給され、通常より高速にシフトパルスがシフトされる。第1切り換え信号が「L」の期間には、データドライバ2には非映像部分の画素に印加するための電圧、すなわち黒表示を行うのであれば黒表示に

8

対応する正負逆極性の電圧が交互に供給される。

【0020】垂直方向については、第3クロック信号として水平同期信号／HSがそのまま利用される。倍周回路54は水平同期信号／HSから整数倍の周波数の第4クロック信号を生成する回路であり、倍周回路54は第4クロック発生回路52に相当すると言える。カウンタ55、第3及び第4デコーダ56、57、及びJKフリップフロップ（FF）58は第1切り換え信号を生成する部分である。カウンタ55が水平同期信号／HSをカウントし、そのカウント値が映像信号の垂直方向の行の値に等しくなったことを第3デコーダ56が検出すると、JK-FF58が2-1セレクタ53を倍周回路54の出力する第4クロック信号を出力するように切り換える。カウンタ55はリセットされ、同様に水平同期信号／HSをカウントし、そのカウント値が垂直帰線期間に一致したことを第4デコーダ57が検出すると、JK-FF58が2-1セレクタ53を水平同期信号／HSを出力するように切り換える。従って、第2切り換え信号は図5に示すように、映像信号の垂直方向の表示信号の出力期間は「高（H）」に、垂直帰線期間は「低（L）」になる。第2切り換え信号が「H」の期間は、ゲートドライバ3に第3クロック信号が供給され、通常の映像表示と同様の動作が行われる。第2切り換え信号が「L」の期間は、ゲートドライバ2に第4クロック信号が供給され、通常より高速にシフトパルスがシフトされる。図5に示した映像信号の表示信号部分は、実際には図4に示したような映像信号が連続した信号である。

【0021】垂直帰線期間にゲートドライバ3のシフトレジスタを駆動する第4クロック信号の周波数を高めると、それに応じてデータドライバ2の動作速度も高くする必要がある。しかしそれでは、データドライバ2が大きくなり、コストも増加するという問題が生じる。クロック制御回路はこのような問題を解決するための回路である。

【0022】第2切り換え信号が「L」の期間にデータドライバ2から出力するデータは、黒表示等に対応する一定のデータでよい。従って、第2切り換え信号が「L」になった後、データドライバ2の1ライン分に表示するデータが保持されたら、第2切り換え信号が「L」である期間が終了するまで、新たにデータを保持する必要はない。従って、データドライバ2でのクロック信号のシフトは必要なくなり、高速化が可能である。

【0023】クロック制御回路6は、カウンタ61と、第5及び第6デコーダ62、63と、JKフリップフロップ（FF）64とを有している。カウンタ61は水平同期信号／HSをカウントし、そのカウント値が映像信号の垂直方向の行の値より1だけ大きくなったことを第5デコーダ62が検出すると、JK-FF64が2-1セレクタ64を「L」の信号が出力されるように切り換える。カウンタ61はリセットされ、同様に水平同期

(6)

9

信号／HSをカウントし、そのカウント値が垂直帰線期間より1だけ小さい値に一致したことを第6デコーダ63が検出すると、JK-FF64が2-1セクタ64をデータドライバクロック発生回路4が出力するクロック信号を出力するように切り換える。

【0024】従って、クロック制御回路6が出力する信号は、図6に示すように、垂直帰線期間より1水平走査期間だけ短い期間「低(L)」になり、その間はデータドライバ2へのクロック信号の供給が停止される。映像信号の最終ラインの出力が終了し、第2切り換え信号が「L」に切り換わると、黒表示等の非映像部分に表示するデータが供給され、データドライバの1ライン分にこのデータが保持される。データドライバの1ラインに非映像部分のデータが保持されると、データドライバへのクロック信号の供給が停止されるため、保持されたデータは垂直帰線期間が終了するまでそのままである。図6では、この期間にデータドライバに入力されるクロック信号を通常表示時と同じように第1クロック信号が入力されるように示してあるが、これを第2クロック信号にしてもよい。

【0025】映像データが入力されない期間に黒表示を行う部分の画素にデータを書き込むが、映像データが入力されない期間は通常あまり長くなく、表示期間と同様のクロック信号を使用したのでは黒表示を行う部分の画素すべてにデータを書き込むのは難しい。しかし、本実施例のように、映像データが入力されない期間にはクロック信号を高速にすることにより、黒表示を行う部分の画素すべてにデータを書き込むことが可能になる。

【0026】第1実施例では、データドライバクロック発生回路4及びゲートドライバクロック発生回路5の両方を使用した、液晶表示画面の一方についてのみ映像信号が表示されない部分が生じる場合には、一方のみに上記の構成を使用すればよい。また、垂直帰線期間における表示データのシフト動作を低減するために、クロック制御回路6を使用して、1水平ライン分だけデータを書き込むようにしたが、時間の余裕がある場合にはクロック制御回路6は使用しなくてもよい。

【0027】図7は第2実施例の液晶パネルの構成を示す図である。図12と比較して明らかなように、第2実施例の液晶パネルでは、データドライバとゲートドライバをパネルの両側に設け、データラインとスキャンラインをそれぞれ両側のドライバから交互に延びるようにしている点が図12のものとは異なる。このような構成を櫛型構成と呼ぶ。

【0028】図8は第2実施例の液晶表示装置の構成を示す図である。図2と比較して明らかなように、第1実施例の液晶表示装置とは、液晶パネル1の両側にデータドライバ2aと2b、ゲートドライバ3aと3b、及び映像信号上下2分割回路8が設けられている点異なる。第2実施例においても、第1実施例と同様に、映像

10

信号のブランキング期間にドライバに入力するクロック信号の周波数を増加させることで、非映像表示部分にもデータが書き込めるようする。

【0029】第1実施例では、映像信号のブランキング期間にドライバに入力するクロック信号の周波数を増加させることで、非映像表示部分にもデータが書き込めるようにしたが、ドライバに入力するクロック信号の周波数にはドライバの駆動速度の関係から制限があり、映像信号のブランキング期間にあまり多くのデータドライバ及びゲートドライバをスキャンさせることは難しい。そこで、データドライバを2分割し、各ドライバで駆動する必要のあるライン数を半分にすることで、データドライバでの動作速度を半分にすることができる。図7であれば、偶数列の表示データは上側のデータドライバ2aから、奇数列の表示データは下側のデータドライバ2bから供給される。そして、上側のデータドライバ2aと下側のデータドライバ2bは並列に動作される。

【0030】ゲートドライバに関しても、図9のタイミングチャートに示すように、左右のゲートドライバ3aと3bを並列に動作させ、2つのゲートドライバが同時にはオン状態にならないように左右交互にイネーブルとすることで動作周波数を半分に下げることができる。もちろん、データドライバとゲートドライバの一方のみを分割してもよい。

【0031】また、第1実施例と同様に、クロック制御回路を設けて、垂直帰線期間の最初に非映像部分のデータをデータドライバに保持させ、その状態を維持するようにしてもよい。通常、データドライバ及びゲートドライバのシフトレジスタでは、1個のシフトパルスが順次シフトされる。従って、第1及び第2実施例において図15に示したように映像部分を表示画面のほぼ中央に配置する場合でも、データドライバ及びゲートドライバのシフトレジスタでは、1個のシフトパルスが順次シフトされる。従って、ゲートドライバであれば、ブランキング期間の略中間時点からゲートドライバにシフトパルスを入力し、高速の走査クロック信号でブランキング期間が終了するまでにシフトパルスが画面の映像部分の開始位置までシフトされるようにする。そして、映像部分は通常の走査パルスを入力し、シフトパルスが画面の映像部分の終了位置までシフトされるようにする。そして、再び高速の走査クロック信号でブランキング期間の略中間時点までにシフトパルスが画面の下側の端に到達するようにする。

【0032】第3実施例では、ブランキング期間におけるシフトパルスのシフト速度を半分に低下させる。図10は第3実施例におけるゲートドライバのシフトパルスを説明する図である。図10に示すように、第3実施例では、シフトパルスが画面の映像部分の終了位置までシフトされた時点で、新たにシフトパルスを入力する。これにより、上側と下側の映像が表示されない部分は、同



(7)

11

じ時間に並行して走査されることになる。新たに入力したシフトパルスが、画面の映像部分の開始位置までシフトされた時には、先に入力されたシフトパルスは、画面の下側の端に到達するので、そのままシフトレジスタを抜け、表示には影響しなくなる。このようにすることで、ブランキング期間に走査するのは映像が表示されない部分の上側又は下側の半分の部分だけであり、シフトパルスのシフト速度は半分でもよい。この手法は、データドライバにも同様に適用できる。

【0033】第3実施例のような構成にすることにより、シフトパルスのシフト速度を半分にできるため、データドライバ及びゲートドライバの動作速度を通常使用時に比べて著しく速くする必要がなくなる。そのため、その分低速のドライバが使用でき、且つ、液晶にデータを書き込む時間を長くすることができる。

【0034】

【発明の効果】以上説明したように、本発明によれば、液晶の表示画素より表示ドット数の小さい映像信号を表示することが可能になり、1液晶パネルで各表示モードに対応することが可能になり、液晶表示装置をより汎用的に使用することが可能になる。

【図面の簡単な説明】

【図1】本発明の原理を説明する図である。

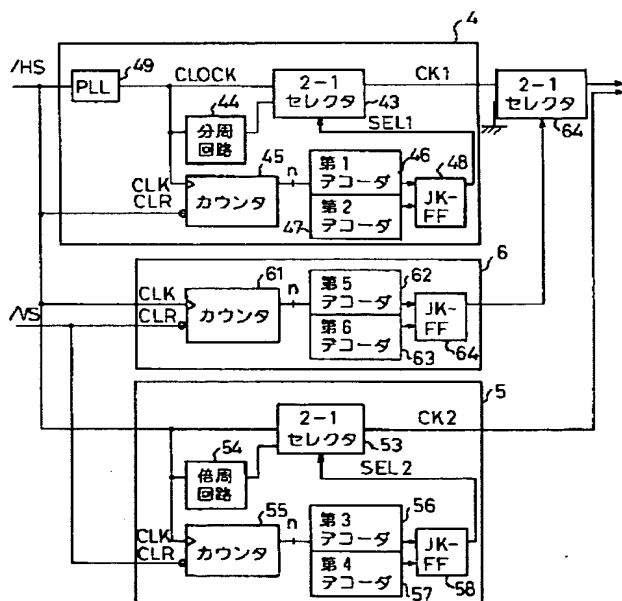
【図2】第1実施例の全体構成を示すブロック図である。

【図3】第1実施例のクロック発生回路の詳細を示す図である。

【図4】第1実施例の水平方向の動作タイミングを示す

【図3】

第1実施例のクロック発生回路の詳細図



12

図である。

【図5】第1実施例の垂直方向の動作タイミングを示す図である。

【図6】第1実施例のクロック制御回路の動作タイミングを示す図である。

【図7】第2実施例の液晶パネルの構成を示す図である。

【図8】第2実施例の全体構成を示すブロック図である。

【図9】第2実施例のゲートドライバの動作を示す図である。

【図10】第3実施例のシフトパルスを示す図である。

【図11】TFT型液晶表示装置の基本構成を示す図である。

【図12】従来の液晶パネルの構成例を示す図である。

【図13】従来のデータドライバの構成例を示す図である。

【図14】従来のゲートドライバの構成例を示す図である。

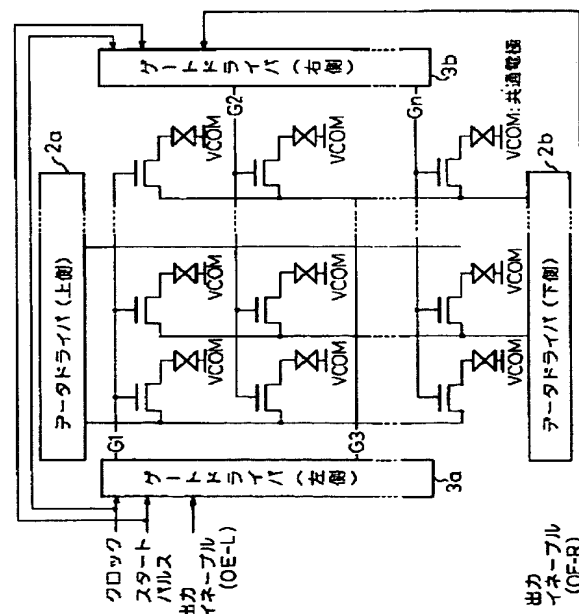
【図15】映像信号を画面の一部に表示する例を示す図である。

【符号の説明】

- 1…液晶パネル
- 2…データドライバ
- 3…ゲートドライバ
- 4…データドライバクロック発生回路
- 5…ゲートドライバクロック発生回路
- 6…クロック制御回路

【図7】

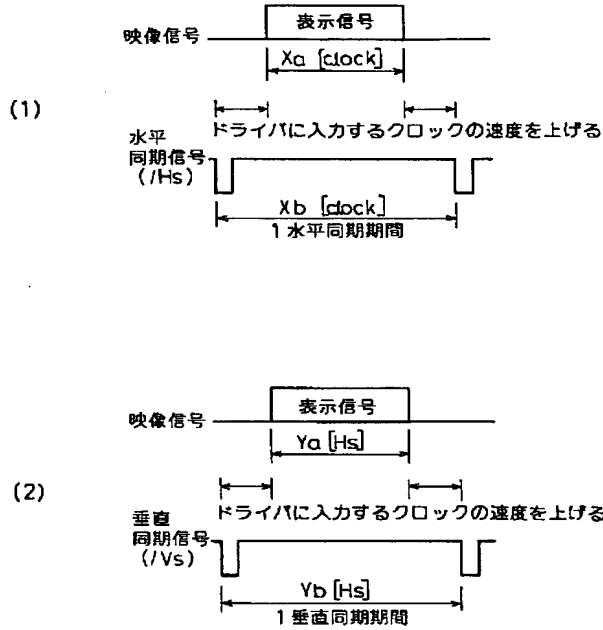
第2実施例の液晶パネルの構成図



(8)

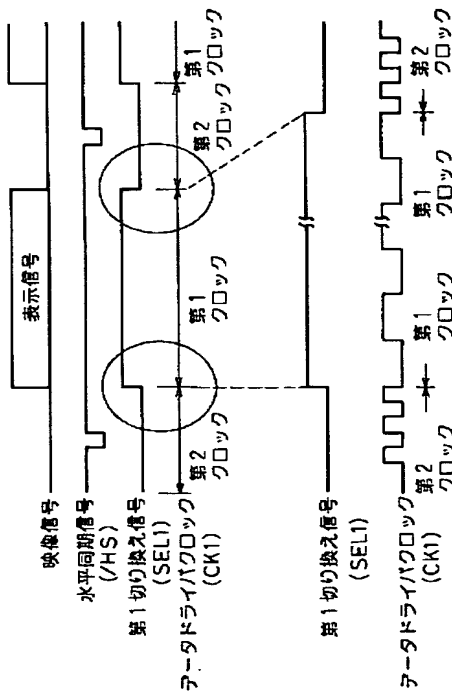
【図1】

本発明の原理説明図

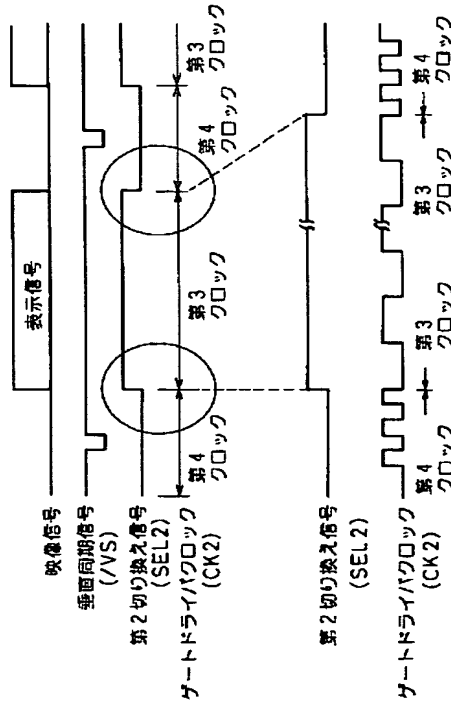


【図4】

第1実施例の動作タイミング（水平方向）

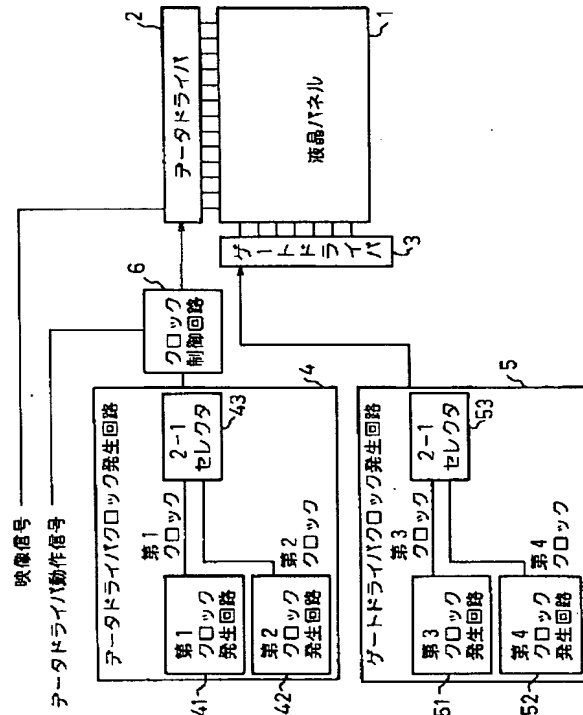


第1実施例の動作タイミング（垂直方向）



【図2】

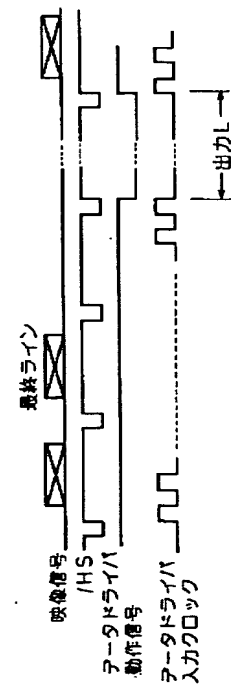
第1実施例の構成図



【図5】

【図6】

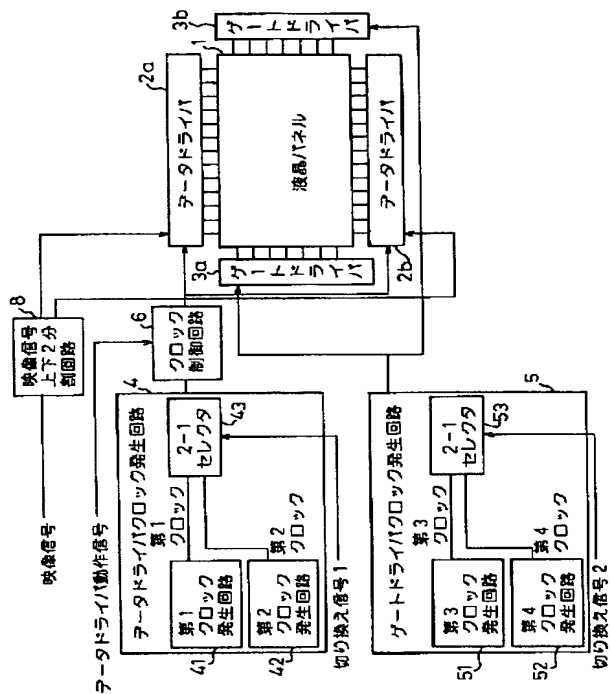
第1実施例の動作タイミング（制御回路）



(9)

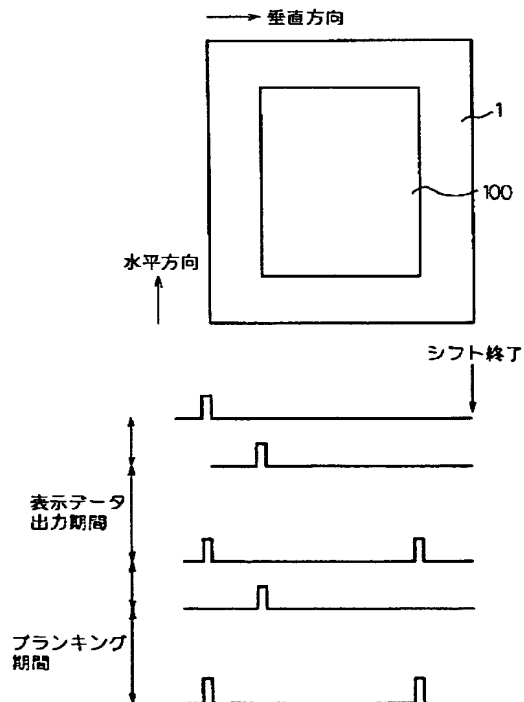
【図8】

第2実施例の構成図



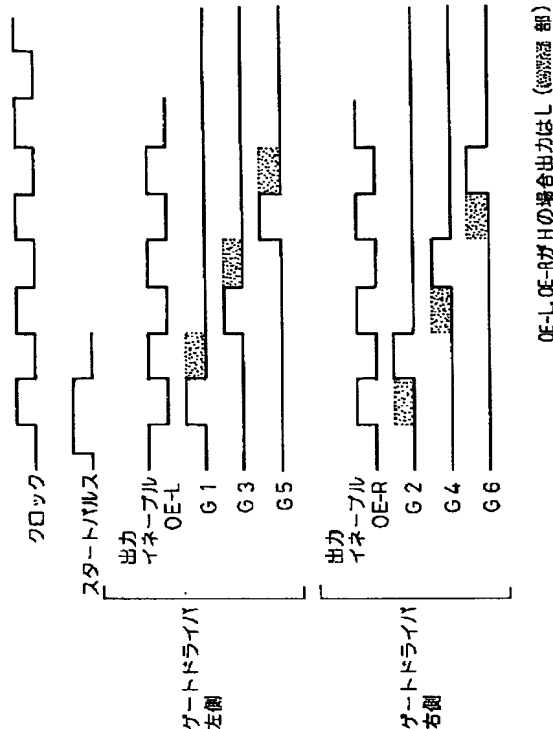
【図10】

第3実施例におけるシフトパルス



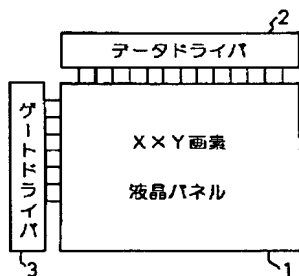
【図9】

第2実施例のゲートドライバの動作



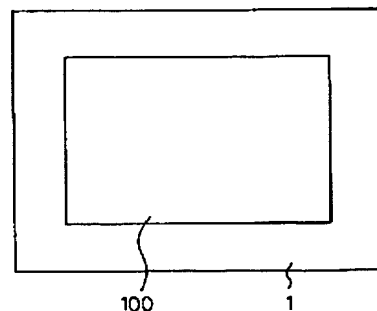
【図11】

TFT型液晶表示装置の基本構成



【図15】

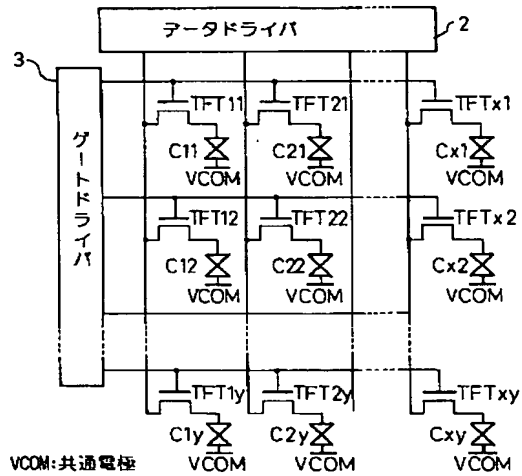
映像信号を画面の一部に表示する例



(10)

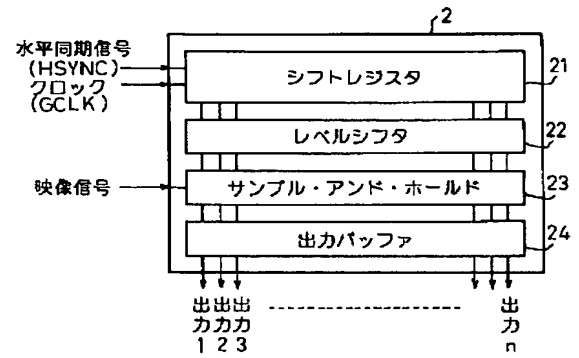
【図12】

従来のTFT型液晶パネルの構成例



【図13】

従来のデータドライバの構成例



【図14】

従来のゲートドライバの構成例

